

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-191781

(43)Date of publication of application : 13.07.1999

(51)Int.Cl.

H04L 12/44  
H04L 12/46  
H04L 12/28  
H04L 12/56  
H04Q 3/00

(21)Application number : 09-356774

(71)Applicant : NEC CORP

(22)Date of filing : 25.12.1997

(72)Inventor : YAMADA NORIKUNI  
NISHIHARA MOTOO

## (54) PATH RETRIEVAL CIRCUIT AND COMMUNICATION CONTROLLER

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a path retrieval circuit by which the time required for path solution is reduced and the load on a CPU is relieved.

**SOLUTION:** The operation of the path retrieval circuit 2 is executed by an exclusive hardware circuit. Upon the receipt of a retrieval request signal S and a destination IP address A in a received packet from an input output device 1, the path retrieval circuit 2 reads required path information for each clock from a path tree of a path tree storage memory 3, decides the path information corresponding to a destination IP address and outputs a retrieval end signal E and resulting path information R to the input output device 1 after the end of retrieval.



**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

**CLAIMS**

[Claim(s)]

[Claim 1]A selecting means which chooses a course entry which should be read to the next in a route table in which it is a route search circuit which determines a device which should transmit to the next based on a destination address which pinpoints a communication destination, and each course entry is making a tree structure, A route search circuit having a channel information determination means to search for channel information which is information for determining a device which should transmit to the next based on information which a course entry with this selected selecting means has, and said destination address.

[Claim 2]In the route search circuit according to claim 1, said course entry has the information for reading two child entries which may be read to the next.

A route search circuit, wherein said selecting means is what chooses a course entry which should be read to the next based on information for reading said child entry which a course entry under present read-out has.

[Claim 3]In the route search circuit according to claim 1, said course entry has the mask information which shows effective bit length of a network address corresponding to this entry.

A route search circuit, wherein said selecting means is what chooses a course entry which should be read to the next based on said destination address and mask information.

[Claim 4]A route search circuit characterized by said channel information determination means being what judges whether it should output as channel information after becoming final and conclusive channel information which this course entry has whenever a course entry is read from said route table in the route search circuit according to claim 1.

[Claim 5]In the route search circuit according to claim 4, said course entry has an address and mask information which specify a network address corresponding to this entry.

A route search circuit being what judges whether said channel information determination means should be outputted as channel information after becoming final and conclusive channel information which this course entry has by comparing a network address and said destination address of a course entry under present read-out.

[Claim 6]In the route search circuit according to claim 1, said course entry has two mask information which specifies a network address of two child entries which may be read to the next.

A route search circuit, wherein said selecting means is what chooses mask information of a course entry which should be read from inside of said two mask information to the next before reading the next course entry.

[Claim 7]In the route search circuit according to claim 6, said selecting means, A route search circuit being what generated before two child entries which may read a signal for choosing a course entry which should be read to the next based on selected mask information and said destination address to the next are read.

[Claim 8]A route search circuit having an end decision means to terminate retrieval processing by said selecting means and a channel information determination means when a course entry which should be read to the next stops existing in a route table in the route search circuit according to claim 1.

[Claim 9]In the route search circuit according to claim 8, said course entry, Have an address and mask information which specify a network address corresponding to this entry, and said end decision means, Next, a route search circuit being what in addition to a case where a course entry which

should be read stops existing in a route table terminates retrieval processing also when a network address and said destination address of a course entry under present read-out are not in agreement. [Claim 10] A communication control unit which determines a device which should transmit to the next based on a destination address which pinpoints a communication destination, comprising:  
The route search circuit according to any one of claims 1 to 9.  
A memory for course tree storing which stores said route table in which each course entry is making a tree structure.

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The route search circuit which determines the device which should transmit a packet based on the destination address with which this invention specifies the transmission destination of a receive packet. And communication control units, such as a router using this route search circuit, are started, and it is related with the route search circuit and communication control unit which need especially solution of an address and the network address which becomes settled with mask length like the IP address in the Internet.

[0002]

[Description of the Prior Art] As a device which connects LAN and relays packet data especially between two or more networks. . Were set in International Organization for Standardization (ISO; International Organization for Standard). . It can set to an Open System Interconnection interconnection (OSI; Open Systems Interconnection) reference model. Devices, such as a "router" etc. which connects in the "bridge" which connects in a data link layer (especially media access sublayer), and the network layer which is the upper layer further, are known.

[0003] It is necessary to judge to which device the receive packet received via a network should be transmitted next based on the route table information with which the device side is provided beforehand in the communication control unit called this bridge and a router. This decision processing generally judges to which device received data should be transmitted based on the address stored in the address field of receiving packet data. The address used for below by LAN is explained briefly. As an address used on LAN, among devices, such as a MAC Address in an Ethernet network, and an ATM address in an ATM network, are a peculiar address, the network address which showed the network number which said device connects, and the number of said device on a network, etc. physically.

[0004] In a network layer, it is common to include the internetwork address of address [ of transmission ] and transmitting origin to the transmitted and received data transmitted in a LAN top. As an internetwork address, the IP address (32 bits) in a TCP/IP protocol is known well, for example, and an IP address is used by the following explanation.

[0005] In a router, it is judged to which router or a terminal next a packet should be transmitted with reference to the destination IP addresses of the packet which received. This decision processing determines the physical address of the transmission destination corresponding to a network address, after solving to which network address the destination IP addresses of the packet which received belong. A network address is appointed by an IP address and mask length. Mask length is information which shows what bit has a meaning as a network address from a high order bit in an IP address.

[0006] The example of a network address is shown in drawing 10. When drawing 10 is referred to, since mask length is "16", it turns out that top 16 bits in an IP address "800A0000" are effective as a network address. When mask length is "16", the mask address "FFFF0000" 16 bits of whose low ranks top 16 bits is "0" in "1" is defined. When the result of having taken the logical product with the above-mentioned mask address to the destination IP addresses of the packet which received is in agreement with an IP address "800A0000", these destination IP addresses will be in agreement with a network address.

[0007] For example, it will be set to "800A0000", if the logical product of these destination IP addresses "800A40C8" and a mask address "FFFF0000" is taken when destination IP addresses are "800A40C8". This is in agreement with an IP address "800A0000". Therefore, destination IP addresses are in agreement with a network address.

[0008] Conventionally, correspondence of destination IP addresses and a network address was able to be simply solved to the origin of the concept of a class. When the high order bit of an IP address is

"0", specifically, it belongs to the class A, mask length is 8 bits, when the high order bit of an IP address is "10", it belongs to the class B, mask length is 16 bits, when an IP address is "100", it belongs to the class C, and mask length is 24 bits.

[0009]Now by the spread of a subnet or CIDR (Classless Internet Domain Routing). The concept of the class is removed, and a network address cannot be simply judged from destination IP addresses, but the judgment of a network address takes processing time. In the network which adopts CIDR, the case where two or more network addresses in the route table which is in agreement with a certain destination IP addresses exist may happen. In that case, the channel information of the network address where mask length is the largest must be adopted. Conventionally, in the router device in the Internet, course solution processing in which the device which should transmit to the next based on destination IP addresses was determined was realized by software.

[0010]

[Problem(s) to be Solved by the Invention]With communication control units, such as the conventional bridge and a router, there was a problem that solution of channel information took time dramatically, in the packet transfer of the network which has much channel information as mentioned above. In the packet transfer of the network with which it may happen that two or more network addresses which match a certain address especially exist, since the algorithm which solves a network address becomes complicated, the determination of channel information takes time further. Therefore, the throughput of the packet transfer processing in a packet transfer device deteriorates. The Reason is in searching the channel information corresponding to a destination address with software out of much channel information. This invention was made in order to solve an aforementioned problem, and it shortens the time which course solution takes, and an object of this invention is to provide the route search circuit which can reduce the loads to CPU.

[0011]

[Means for Solving the Problem]A route search circuit whose this invention is characterized by that it comprises the following and which determines a device which should transmit to the next like based on the destination address (destination-IP-addresses A) according to claim 1 which pinpoints a communication destination.

A selecting means which chooses a course entry which each course entry should read to the next in a route table which is making a tree structure (next node selection circuitries 22 and 22a).

A channel information determination means to search for channel information (result channel information R) which is information for determining a device which should transmit to the next based on information (node information D) and the above-mentioned destination address which a course entry with this selected selecting means has (course update circuitries 23 and 23a).

Thus, high-speed route search becomes possible by constituting a route table from a tree structure which removed a branch without necessity, in order to accelerate search, and searching this route table with a selecting means and a channel information determination means which consist of hardwares. It is each clock cycle and 1 entry processing (1 node processing) is realized by one clock cycle by choosing a course entry (node) with channel information which should be read to the next. For this reason, processing time concerning search is a high speed. Result channel information is updated only when a comparison result of a destination address and a network address specified by an address and mask information which a course entry has is in agreement. Therefore, channel information in comparison with the very end is outputted in channel information whose comparison result of an address corresponded as a result. Since mask length becomes long as the tree bottom, as for a course tree, mask length becomes long at order read. For this reason, also when a destination address is in agreement with two or more network addresses, channel information with the longest network mask is searched.

[0012]To Claim 2, like a description the above-mentioned course entry, Next, have the information (the right child node number Dc, the left child node number Dd) for reading two child entries which may be read, and the above-mentioned selecting means, A course entry which should be read to the next is chosen based on information for reading the above-mentioned child entry which a course entry under present read-out has. To Claim 3, like a description the above-mentioned course entry, Having the mask information (mask information Db) which shows effective bit length of a network address corresponding to this entry, the above-mentioned selecting means chooses a course entry which should be read to the next based on the above-mentioned destination address and mask information. It is judged whether it should output as channel information (result channel information R) after becoming final and conclusive the channel information according to claim 4 in which this course entry has the above-mentioned channel information determination means like whenever a course entry is read from the above-mentioned route table. To Claim 5, like a description the above-

mentioned course entry, Have an address and mask information which specify a network address corresponding to this entry, and the above-mentioned channel information determination means, By comparing a network address and the above-mentioned destination address of a course entry under present read-out, it is judged whether it should output as channel information after becoming final and conclusive channel information which this course entry has.

[0013]To Claim 6, like a description the above-mentioned course entry, Next, two mask information which specifies a network address of two child entries which may be read (it right-child-node-mask-Dg(s) and) It has the left child node mask Dh, and the above-mentioned selecting means (next node selection circuitry 22a) chooses mask information of a course entry which should be read from inside of the two above-mentioned mask information to the next, before reading the next course entry. It generates, before two child entries which may read a signal (select signal) for choosing a course entry which should be read to the next based on the mask information according to claim 7 which chose the above-mentioned selecting means like, and the above-mentioned destination address to the next are read. When the course entry according to claim 8 which should be read to the next like stops existing in a route table, it has an end decision means (the status management circuit 20, the end discrimination circuit 24 of search) to terminate retrieval processing by the above-mentioned selecting means and a channel information determination means. To Claim 9, like a description the above-mentioned course entry, Have an address and mask information which specify a network address corresponding to this entry, and the above-mentioned end decision means, Next, in addition to a case where a course entry which should be read stops existing in a route table, retrieval processing is terminated also when a network address and the above-mentioned destination address of a course entry under present read-out are not in agreement. Thus, in addition to a case where a course entry which should be read to the next stops existing in a route table, retrieval processing is ended also when a network address and the above-mentioned destination address of a course entry under present read-out are not in agreement. For this reason, when a course entry which should be read to the next stops existing in a route table, the number of course entries to process can decrease compared with a case where search is ended, and search time can be accelerated. In a communication control unit which determines a device which should transmit to the next like based on the destination address according to claim 10 which pinpoints a communication destination, It has the route search circuit according to any one of claims 1 to 9 and a memory for course tree storing which stores the above-mentioned route table in which each course entry is making a tree structure.

[0014]

[Embodiment of the Invention]1. of an embodiment, next an embodiment of the invention are described in detail with reference to Drawings. Drawing 1 is a block diagram of the communication control unit in which a 1st embodiment of this invention is shown. The communication control unit of this embodiment is a bridge or a router, for example, and comprises the input/output devices 1, such as CPU, the route search circuit 2 which performs route search processing, and the memory 3 for course tree storing which stores channel information data with binary tree structure. It is a device which processes a receive packet, the input/output device 1 requires search of channel information from the route search circuit 2, and as a result of being outputted from the route search circuit 2, it judges the destination of a receive packet based on the channel information R.

[0015]If the retrieval demanding signal S and destination-IP-addresses A are inputted from the input/output device 1, the route search circuit 2 will search the channel information corresponding to destination-IP-addresses A, and will output the channel information R to the input/output device 1 after the end of search as a result of the search terminate signal E. By inputting node number N into the memory 3 for course tree storing, the route search circuit 2 acquires the node information D, and performs comparison with destination-IP-addresses A and the node information D.

[0016]As the route search circuit 2, use of high-speed logic circuits, such as large scale integration circuit (LSI; Large Scale Integrated Circuit), is preferred. However, in consideration of development cycle shortening or manufacturing-cost reduction, a programmable type logical device (PLD; Programmable Logic Device) may be used.

[0017]If realization inside LSI is possible, it is more desirable to provide mass high-speed memory block in the inside of the same LSI as the route search circuit 2, although high-speed SRAM (Static Random Access Memory) is preferred as the memory 3 for course tree storing. It is because processing speed improves substantially in addition to circuit structure becoming small. The example of the route table stored in the memory 3 for course tree storing is shown in Table 1.

[0018]

[Table 1]

経路テーブル

ノード 番号N	ノードデータD					
	I P アドレスDa	マスク 情報Db	右子ノード 番号Dc	左子ノード 番号Dd	経路有効 フラグDe	経路情報 Df
1	00000000	0	2	10	有効	Df1
2	80000000	8	11	3	無効	無し
10	40000000	8	16	17	無効	無し
11	80B80000	15	13	無し	有効	Df11
3	800A0000	16	4	12	有効	Df3
4	800AC000	24	15	14	有効	Df4
12	800A4000	20	無し	無し	有効	Df12
13	80B92000	24	無し	無し	有効	Df13
14	800AC048	30	無し	無し	有効	Df14
15	800AC091	32	無し	無し	有効	Df15

[0019]Node number N is equivalent to the address of a memory, and can read the node information D which is the information on each node (course entry) by inputting node number N. The node information D comprises IP address Da, the mask information Db, the right child node number Dc, the left child node number Dd, course valid flag De, and the channel information Df.

[0020]Each node supports the network address specified by IP address Da and the mask information Db. In Table 1, the hexadecimal notation has described IP address Da. The mask information Db has described the length of the effective address of the network address under 32-bit IP address Da, i.e., the length of a mask, and takes the value of 0-32 (bit).

[0021]The right child node number Dc is a node number of the child node connected to the right-hand side of this node which makes the node number N parents. The left child node number Dd is a node number of the child node connected to the left-hand side of this node which makes the node of node number N parents.

[0022]The course valid flag De shows whether this node has channel information, when it has channel information, it serves as a value (for example, "1") showing validity, and when it does not have channel information, it serves as a value (for example, "0") showing invalidity. The channel information Df is information required in order to judge where the receive packet which has destination-IP-addresses A which is in agreement with the network address of the node which has this information should be transmitted. According to this embodiment, this channel information Df is used as the data of an address peculiar to the device of a transmission destination etc.

[0023]Drawing 2 is a figure showing the course tree corresponding to the route table of Table 1. In drawing 2, nod1 shows the node which has the channel information Df, and nod2 shows the node which does not have the channel information Df. As for the numerical value of the upper row within the block of each node, the numerical value in front of node number N and "/" of the lower berth shows the mask information Db, as for the numerical value after IP address Da and "/".

[0024]The course tree of this embodiment considers that IP address Da which the node (course entry) of construction objects has is a bit string. What is necessary is for the evaluation bit under IP address Da to arrange as a child node what is "0" at the lower left of a parent node, and just to think that that in which the evaluation bit is "1" removed the branch which does not have necessity in order to build the binary tree arranged as a child node at the lower right of a parent node and to accelerate search.

[0025]Connecting relation with a child node is prescribed by when each node has two child node numbers, the right child node number Dc and the left child node number Dd, as the node information D. The above-mentioned evaluation bit is determined by the mask information Db. When the mask length to which the mask information Db expresses is m, it counts from the high order bit of IP address Da, and, specifically, the m+1st bits turn into an evaluation bit.

[0026]The evaluation bit changes from the high order bit of IP address Da with low rank BITTOHE as it gets down from the course tree downward. Therefore, the value of the mask information Db becomes large as it gets down from the course tree downward. having removed the branch without necessity, in order to accelerate search, an evaluation bit — the 1st bit of IP address Da, the 2nd bit,

and the 3rd bit — not changing continuously with ... the 1st bit, the 9th bit, and the 16th bit ... as — it means changing discontinuously.

[0027]Next, the concrete constructing method of the course tree of drawing 2 is explained. First, the mask information Db which the peak node of a node number "1" has is "0." Therefore, the first evaluation bit turns into the 1st bit of IP address Da which an attention node has. Since the next of a peak node has a node of a node number "2", and a node of a node number "10" as a node with a small value of the mask information Db, these serve as an attention node.

[0028]IP address Da which the node of a node number "2" has is "80 million." Since the value of the evaluation bit of this IP address Da is "1", the node of a node number "2" is arranged at the lower right of the peak node which is a parent node. On the other hand, IP address Da which the node of a node number "10" has is "40 million." Since the value of the evaluation bit of this IP address Da is "0", the node of a node number "10" is arranged at the lower left of the peak node which is a parent node.

[0029]Then, the mask information Db which the node of a node number "2" has is "8." Therefore, the following evaluation bit turns into the 9th bit of IP address Da which an attention node has. Next, as a node with a small value of the mask information Db, since there are a node of a node number "11" and a node of a node number "3", these serve as an attention node.

[0030]IP address Da which the node of a node number "11" has is "80B80000." Since the value of the evaluation bit of this IP address Da is "1", the node of a node number "11" is arranged at the lower right of the node of the node number "2" which is a parent node. On the other hand, IP address Da which the node of a node number "3" has is "800A0000." Since the value of the evaluation bit of this IP address Da is "0", the node of a node number "3" is arranged at the lower left of the node of the node number "2" which is a parent node.

[0031]Hereafter, the course tree of drawing 2 can be built in a similar manner. And the route table of Table 1 can be created based on the built course tree. To actually use the route search circuit 2, it is necessary to perform construction of a course tree and an update process. In order to build a course tree, the dedicated hardware circuit for course tree construction may be used, and the software by CPU may be used.

[0032]Drawing 3 is a block diagram showing the example of composition of the route search circuit 2. The route search circuit 2 comprises the status management circuit 20, the flip-flop (EDFF) 21 with enabling, the next nod selection circuitry 22, the course update circuit 23, the end discrimination circuit 24 of search, and the flip-flop (DFF) 25.

[0033]The status management circuit 20 generates the signal W in retrieval execution showing whether the retrieval processing is [ \*\*\*\*\* ] under execution according to the retrieval demanding signal S and two input signals of search terminate-signal E'. If the signal W in this retrieval execution serves as a level (this embodiment "H" level) which expresses under execution of retrieval processing when the retrieval demanding signal S is received and search terminate-signal E' is received, it will serve as a level (this embodiment "L" level) showing the end of retrieval processing.

[0034]The node information D outputted from the memory 3 for course tree storing is inputted into EDFF21. As mentioned above, the node information D comprises IP address Da, the mask information Db, the right child node number Dc, the left child node number Dd, course valid flag De, and the channel information Df.

[0035]And EDFF21 outputs the node information D synchronizing with the standup of a clock signal. The signal W in retrieval execution is inputted into the enable input terminal ena of EDFF21, and EDFF21 updates the output, only when the signal W in retrieval execution is a level showing under execution of retrieval processing.

[0036]According to the mask information Db in the node information D outputted from destination-IP-addresses A and the memory 3 for course tree storing which were outputted from the input/output device 1, the next nod selection circuitry 22. One of the right child node number Dc and the left child node numbers Dd is chosen, the selected number is set to node number N, and it outputs to the memory 3 for course tree storing.

[0037]The course update circuit 23 performs comparison with destination-IP-addresses A and the network address specified from IP address Da and the mask information Db, and outputs address coincidence signal C showing a comparison result. This address coincidence signal C is set to the level (this embodiment "L" level) showing disagreement, when it is set to the level (this embodiment "H" level) which expresses coincidence when an address comparison result is in agreement and an address comparison result is not in agreement.

[0038]And when it is a value as which an address comparison result is in agreement with, and the course valid flag De expresses validity, the course update circuit 23 updates the channel information



R to the channel information Df in the node information D, as a result of being the output. The course update circuit 23 has an inharmonious address comparison result, or when the course valid flag De is a value showing invalidity, the value of the result channel information R is held.

[0039]The end discrimination circuit 24 of search generates search terminate-signal E' of the "H" level, when node number N outputted from the next node selection circuitry 22 is an address which fulfills a terminating condition, or when address coincidence signal C is set to the level showing disagreement. DFF25 outputs this search terminate-signal E' to the input/output device 1 as the search terminate signal E in sync with the standup of the clock signal.

[0040]Drawing 4 is a block diagram showing the example of composition of the next node selection circuitry 22. The next node selection circuitry 22 comprises the 32-1 selector 200, the 2-1 selector 201, the 2-1 selector 202, and the peak node number store circuit 203. The 32-1 selector 200 extracts and outputs 1 bit based on the mask information Db out of 32-bit destination-IP-addresses A. When the mask length to which the mask information Db expresses is m, it counts from the high order bit of destination-IP-addresses A, and, specifically, the m+1st bits are extracted.

[0041]The output of the 32-1 selector 200 is inputted into the control terminal sel of the 2-1 selector 201 as a select signal. The 2-1 selector 201 chooses and outputs the right child node number Dc in the node information D, when a select signal is "1", and when a select signal is "0", it chooses and outputs the left child node number Dd in the node information D.

[0042]The signal W in retrieval execution is inputted into the control terminal sel of the 2-1 selector 202 as a select signal. The 2-1 selector 202 chooses and outputs the node number outputted from the two to 1 selector 201 when the signal W in retrieval execution was a level showing under execution of retrieval processing, and when it is not retrieval execution Naka, it chooses and outputs the node number of the peak node memorized in the peak node number store circuit 203.

[0043]Drawing 5 is a block diagram showing the example of composition of the course update circuit 23. The course update circuit 23 comprises the channel information update circuit 212 as a result of the mask processing circuit 210 and the address comparison processing circuit 211. By the mask information Db in destination-IP-addresses A and the node information D, among destination-IP-addresses A, the mask processing circuit 210 carries out mask processing of the portion corresponding to the effective bits of the network address of this node, and outputs it.

[0044]When the mask length to which the mask information Db expresses is specifically m, top m bits is "1". The address used as "0" is outputted except the portion corresponding to the effective bits of a network address by a low rank 32-m bit's creating the mask address which is "0", and taking the logical product of this mask address and destination-IP-addresses A.

[0045]The address comparison processing circuit 211 measures IP address Da and the output of the mask processing circuit 210, and outputs address coincidence signal C showing a comparison result. This address coincidence signal C is set to the level (this embodiment "L" level) showing disagreement, when it is set to the level (this embodiment "H" level) which expresses coincidence when an address comparison result is in agreement and an address comparison result is not in agreement.

[0046]When address coincidence signal C is a level showing coincidence and the course valid flag De is a value showing validity, the result channel information update circuit 212 updates the channel information R to the channel information Df synchronizing with a clock signal, as a result of being the output. The result channel information update circuit 212 holds the value of the result channel information R, when address coincidence signal C is a level showing disagreement or the course valid flag De is a value showing invalidity.

[0047]Next, operation of the route search circuit 2 of drawing 1 is explained. In the memory 3 for course tree storing, it is assumed that it is that in which the route table of Table 1 corresponding to the course tree of drawing 2 is stored. It explains taking the case of the case where the packet which has "800A9011" as destination-IP-addresses A is received.

[0048]Reception of a packet will input destination-IP-addresses A to solve with the retrieval demanding signal S from the input/output device 1 into the route search circuit 2. In the route search circuit 2, the channel information corresponding to destination-IP-addresses A is searched reading the information on a comparison object node from the memory 3 for course tree storing, and the result channel information R is outputted to the input/output device 1 with the search terminate signal E after the end of search.

[0049]The timing chart of drawing 6 explains detailed operation of the route search circuit 2. When it is the "L" level showing the signal W in retrieval execution not being during execution of retrieval processing, the 2-1 selector 202 in the next node selection circuitry 22, Since the output of the peak node number store circuit 203 is chosen and outputted, the initial value of node number N outputted

from the next node selection circuitry 22 serves as a node number "1" of the peak node of a course tree, as shown in drawing 6 (d).

[0050]The initial value of the node information D outputted from the memory 3 for course tree storing according to this is the node information D1 of the peak node of a node number "1" (drawing 6 (e)). If the retrieval demanding signal S of the "H" level is received from the input/output device 1, the status management circuit 20 will use the signal W in retrieval execution as the "H" level, as shown in drawing 6 (c). If the signal W in retrieval execution is set to the "H" level, EDFF21 will be updated to the node information D into which the output was inputted synchronizing with the standup of a clock signal.

[0051]Therefore, synchronizing with the standup of the clock signal which starts the 1st node processing, EDFF21 outputs the node information D1 of a peak node (time t1 of drawing 6). In "2" and the left child node number Dd, "10" and the course valid flag De are [ IP address Da / "00000000" and the mask information Db / "0" and the right child node number Dc / "1" (effective) and the channel information Df ] specifically [ the node information D1 of a peak node ] Df1.

[0052]The next node selection circuitry 22 chooses which shall be read to the next between the right child node number Dc and the left child node number Dd based on the mask information Db in destination-IP-addresses A and the node information D (it is got blocked and chooses which shall be read to the next between the right child node and the left child node).

[0053]When the mask length to which the mask information Db expresses is specifically m, it counts from the high order bit of destination-IP-addresses A, when the m+1st bits are "1", the right child node number Dc is chosen and outputted, and when the bit is "0", the left child node number Dd is chosen and outputted.

[0054]As mentioned above, in the 1st node processing, the mask information Db is "0." Since 1 (0+1) bit eye is "1", the node number which should be read to the next turns into the right child node number Dc from the higher rank of destination-IP-addresses A "800A9011." Thereby, as shown in drawing 6 (d), the value "2" of the right child node number Dc is outputted from the next node selection circuitry 22 as node number N.

[0055]If the node number "2" is inputted, the memory 3 for course tree storing will output the node information D2 of the node of a node number "2", as shown in drawing 6 (e). The node information D2 outputted from the memory 3 for course tree storing is incorporated into EDFF21 in the standup (time t2 of drawing 6) of the following clock signal. Thereby, the 1st node processing is ended and the 2nd node processing is started.

[0056]the node information D2 -- in "8" and the right child node number Dc, as for "11" and the left child node number Dd, "3" and the course valid flag De have [ IP address Da / "80 million" and the mask information Db ] "0" (invalid) and no channel information Df. In the 2nd node processing, the next node selection circuitry 22 chooses similarly which shall be read to the next between the right child node number Dc and the left child node number Dd.

[0057]In the 2nd node processing, the mask information Db is "8." Since 9 (8+1) bit eye is "0", the node number which should be read to the next turns into the left child node number Dd from the higher rank of destination-IP-addresses A "800A9011." Thereby, as shown in drawing 6 (d), the value "3" of the left child node number Dd is outputted from the next node selection circuitry 22 as node number N.

[0058]If the node number "3" is inputted, the memory 3 for course tree storing will output the node information D3 of the node of a node number "3", as shown in drawing 6 (e). As mentioned above, node number N of the node which processes by the following clock cycle for every clock cycle is outputted, and the node information D is read from the memory 3 for course tree storing.

[0059]Next, operation of the course update circuit 23 in the route search circuit 2 is explained. The mask processing circuit 210 compares the address which carried out the mask of the destination-IP-addresses A by the mask information Db, and IP address Da in the node information D in the address comparison processing circuit 211. The address comparison processing circuit 211 uses address coincidence signal C as the "H" level, when an address comparison result is in agreement.

[0060]When address coincidence signal C is the "H" level showing coincidence and the course valid flag De is a value showing validity, the result channel information update circuit 212 updates the channel information R to the channel information Df synchronizing with a clock signal, as a result of being the output. In the 1st above-mentioned node processing, the mask information Db is "0." Therefore, no matter destination-IP-addresses A may be what value, the output of the mask processing circuit 210 is set to "00000000", and is in agreement with IP address Da "00000000." As a result, address coincidence signal C is set to the "H" level showing coincidence in the 1st node processing (drawing 6 (l)).

[0061]a result -- channel information -- an update circuit -- 212 -- an address coincidence signal -- C -- coincidence -- expressing -- "H" -- a level -- it is -- and -- a course -- a valid flag -- De -- validity -- expressing -- a value -- "one" -- it is -- since -- the following -- a clock signal -- a standup (time t2 of drawing 6) -- setting -- a result -- the channel information R -- channel information Df1 -- updating (drawing 6 (n)).

[0062]In the 2nd node processing, the mask information Db is "8." Therefore, top 8 bits of destination-IP-addresses A "800A9011" are taken out, and the output of the mask processing circuit 210 is set to "80 million", and is in agreement with IP address Da "80 million." As a result, address coincidence signal C is set to the "H" level showing coincidence in the 2nd node processing, however -- setting in the standup (time t3 of drawing 6) of the following clock signal, since the course valid flag De at this time is a value "0" showing invalidity -- a result -- the channel information R -- updating -- not having -- a value -- holding -- having (drawing 6 (n)).

[0063]In the 3rd node processing, the mask information Db is "16." Therefore, top 16 bits of destination-IP-addresses A "800A9011" are taken out, and the output of the mask processing circuit 210 is set to "800A0000", and is in agreement with IP address Da "800A0000." As a result, address coincidence signal C is set to the "H" level showing coincidence in the 3rd node processing.

[0064]a result -- channel information -- an update circuit -- 212 -- an address coincidence signal -- C -- coincidence -- expressing -- "H" -- a level -- it is -- and -- a course -- a valid flag -- De -- validity -- expressing -- a value -- "one" -- it is -- since -- the following -- a clock signal -- a standup (time t4 of drawing 6) -- setting -- a result -- the channel information R -- channel information Df3 -- updating (drawing 6 (n)).

[0065]In the 4th node processing, the mask information Db is "24." Therefore, top 24 bits of destination-IP-addresses A "800A9011" are taken out, and the output of the mask processing circuit 210 is set to "800A9000", and is not in agreement with IP address Da "800A0000." As a result, in the 4th node processing, address coincidence signal C is set to the "L" level showing disagreement, as shown in drawing 6 (l). setting in the standup (time t5 of drawing 6) of the following clock signal, since address coincidence signal C is the "L" level showing disagreement -- a result -- the channel information R -- updating -- not having -- a value -- holding -- having (drawing 6 (n)).

[0066]Next, operation of the end discrimination circuit 24 of search is explained. The end discrimination circuit 24 of search generates search terminate-signal E' of the "H" level, when node number N outputted from the next node selection circuitry 22 is an address which fulfills a terminating condition, or when address coincidence signal C is set to the level showing disagreement. The address by which node number N fulfills a terminating condition is a case where there is specifically no address which should be read to the next.

[0067]Since address coincidence signal C will be set to the "L" level showing disagreement in the 4th node processing if drawing 6 is referred to, search terminate-signal E' is set to the "H" level. If search terminate-signal E' of the "H" level is received, the status management circuit 20 will use the signal W in retrieval execution as the "L" level, as shown in drawing 6 (c).

[0068]When the signal W in retrieval execution was set to "L", EDF21 stops renewal of an output. As a result, as a result of being outputted from the course update circuit 23, as for the channel information R, the value Df3 is held. And when search terminate-signal E' was set to "H", in the standup (time t5 of drawing 6) of the following clock signal, this search terminate-signal E' is outputted from DFF25 as the search terminate signal E.

[0069]As for the input/output device 1, if the search terminate signal E of the "H" level is received, a final result will receive [ result at this time ] the channel information R as channel information. And as a result, the input/output device 1 judges the destination of a receive packet based on the channel information R.

[0070]2. drawing 7 of an embodiment is a block diagram of a route search circuit showing a 2nd embodiment of this invention. Also in this embodiment, the composition as a communication control unit is the same as that of drawing 1, and becomes what used the route search circuit 2a instead of the route search circuit 2 of drawing 1. This route search circuit 2a The status management circuit 20, EDF21, the next node selection circuitry 22a, It comprises the course update circuit 23a, the end discrimination circuit 24 of search, DFF25, and the following mask selection circuitry 26, and the following mask selection circuitry 26 is newly formed as an output destination change of EDF21 to the route search circuit 2 of 1 of an embodiment.

[0071]The next node bit B, the right child node mask Dg, and the left child node mask Dh are inputted into the following mask selection circuitry 26. It is a signal which shows whether the next node bits B are whether the node which should be read to the next is the right child node, and the left child node, and when the next node bit B is "0", the following node is the left child node and it is shown at the

time of "1" that the following node is the right child node.

[0072]The right child node mask Dg and the left child node mask Dh are the information newly added to each node information D in a route table as a component of the node information D. The right child node mask Dg is mask information which the child node on the right-hand side of the node read now has, and the left child node mask Dh is mask information which the child node on the left-hand side of the node read now has.

[0073]According to the next nod bit B, the following mask selection circuitry 26 chooses one of the right child node mask Dg and the left child node masks Dh, and outputs it to the next nod selection circuitry 22a and the course update circuit 23a by making this into the following mask information 9i. That is, the following mask selection circuitry 26 chooses and outputs the left child node mask Dh, when the next nod bit B is "0", and when the next nod bit B is "1", it chooses and outputs the right child node mask Dg.

[0074]Drawing 8 is a block diagram showing the example of composition of the next nod selection circuitry 22a in this embodiment. The next nod selection circuitry 22a comprises the 32-1 selector 200, the 2-1 selector 201, the 2-1 selector 202, the peak node number store circuit 203, and the flip-flop (DFF) 204. DFF204 is newly provided to the next nod selection circuitry 22 of 1 of an embodiment between the 32-1 selector 200 and the 2-1 selector 201.

[0075]since the mask information inputted into the 32-1 selector 200 is the following mask information 9i and this is information which is needed in the node processing performed by the following clock cycle -- DFF204 -- the output of the 32-1 selector 200 -- 1 clock \*\*\*\*\* -- the synchronization is taken by things. The next nod bit B is an output of DFF204, and it is inputted into the 2-1 selector 201, and it is outputted also to the following mask selection circuitry 26.

[0076]When it is the "L" level showing the signal W in retrieval execution not being during execution of retrieval processing, DFF204 is counted from the high order bit of destination-IP-addresses A, and outputs the 0th most significant bit as an initial value of the next nod bit B. Other operations are the same as that of 1 of an embodiment.

[0077]By such composition, by this embodiment, since bit-select processing by the 32-1 selector 200 can be performed in the clock phase in front of one, processing time required to output node number N is reducible.

[0078]Drawing 9 is a block diagram showing the example of composition of the course update circuit 23a in this embodiment. The course update circuit 23a comprises the channel information update circuit 212 and the flip-flop (DFF) 213 as a result of the mask processing circuit 210 and the address comparison processing circuit 211. DFF213 is newly provided between the mask processing circuit 210 and the address comparison processing circuit 211 to the course update circuit 23 of 1 of an embodiment.

[0079]since the mask information inputted into the mask processing circuit 210 is the following mask information 9i and this is information which is needed in the node processing performed by the following clock cycle -- DFF213 -- the output of the mask processing circuit 210 -- 1 clock \*\*\*\*\* -- the synchronization is taken by things. By such composition, by this embodiment, since mask processing in the mask processing circuit 210 can be performed by the clock cycle in front of one, processing time required to output the channel information R as a result of address coincidence signal C is reducible.

[0080]As mentioned above, the following mask information 9i which is the mask information Db of the node information D which is due to be read in the following clock cycle is previously outputted from the following mask selection circuitry 26. By performing processing relevant to the mask information Db early [ 1 clock-cycle ], the processing time which is needed by one clock cycle in the next nod selection circuitry 22a and the course update circuit 23a is reduced, and it becomes possible to make the clock frequency for operating this route search circuit 2a into high frequency.

[0081]By making a clock frequency into high frequency, it becomes possible to accelerate the search time of the route search circuit 2a. According to this embodiment, in addition to the effect of 1 of an embodiment, it also has the effect that the search time of the route search circuit 2a is further accelerable.

[0082]In 1 of 3, embodiment of an embodiment, and 2, channel information Df in a route table is made into the address peculiar to the device of a transmission destination. Since it will become unnecessary to have the channel information Df (address) as a component of the node information D if this channel information Df is used as the pointer (for example, the same value as a node number) to information required in order to transmit a receive packet, The capacity of the memory 3 for course tree storing can be reduced, and the interface part of a route search circuit can be made small-scale. However, it is necessary to form a means to acquire channel information required to

transmit a receive packet from the above-mentioned pointer in this case in the input/output device 1.

[0083]In an above embodiment, although the channel information search by destination IP addresses was explained as an example, it does not restrict to this, and if it is the route search processing which determines the device which should transmit to the next based on the address which pinpoints a communication destination, this invention is applicable. At an above embodiment, although the memory for course tree storing was provided in the exterior of the route search circuit, it cannot be overemphasized that it may provide in the inside of a route search circuit.

[0084]

[Effect of the Invention]According to this invention, address solution processing can be performed at high speed, processing which does not require load to CPU can be realized, and, as a result, the throughput of the processing in a communication control unit can be raised. This is because the selecting means and channel information determination means which consist of hardware for exclusive use perform address solution processing and each entry processing is performed by one clock cycle. Even if the scale of a route search circuit can be made small and it increases the number of entries of a route table, the scale of a route search circuit does not become large. This is because only one course entry is always read and comparison processing is performed, and is because what is necessary is just to enlarge capacity of the memory for course tree storing in order to make the number of entries of a route table increase in a route search circuit. Since the channel information corresponding to a network address with the longest network mask is searched even when a destination address is in agreement with the network address of two or more course entries in a route table, It is applicable also to the network which may be in agreement with two or more network addresses like an IP address. This is because result channel information is updated when the channel information update process by an address comparison is performed and an address comparison is in agreement, and result channel information is held at them when an address comparison is inharmonious to the processing which determines the next course entry, and parallel. And mask length becomes long at the order of the course entry from which a course tree is read. Therefore, the channel information corresponding to a network address with the longest network mask can be searched with holding the channel information of the course entry whose address comparison result finally corresponded.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any  
damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

**DESCRIPTION OF DRAWINGS**

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram of the communication control unit in which a 1st embodiment of this invention is shown.

[Drawing 2]It is a figure showing the course tree corresponding to the route table stored in the memory for course tree storing.

[Drawing 3]It is a block diagram showing the example of composition of the route search circuit of drawing 1.

[Drawing 4]It is a block diagram showing the example of composition of the next nod selection circuitry of drawing 3.

[Drawing 5]It is a block diagram showing the example of composition of the course update circuit of drawing 3.

[Drawing 6]It is a timing chart figure for explaining operation of the route search circuit of drawing 1.

[Drawing 7]It is a block diagram of a route search circuit showing a 2nd embodiment of this invention.

[Drawing 8]It is a block diagram showing the example of composition of the next nod selection circuitry of drawing 7.

[Drawing 9]It is a block diagram showing the example of composition of the course update circuit of drawing 7.

[Drawing 10]It is a figure showing the example of a network address.

[Description of Notations]

1 -- An input/output device, 2, 2a -- A route search circuit, 3 -- The memory for course tree storing, 20 [ -- A course update circuit, 24 / -- The end discrimination circuit of search, 25 / -- A flip-flop, 26 / -- Mask / next / selection circuitry. ] -- A status management circuit, 21 -- A flip-flop with enabling, 22, 22a -- A next nod selection circuitry, 23, 23a

[Translation done.]

\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

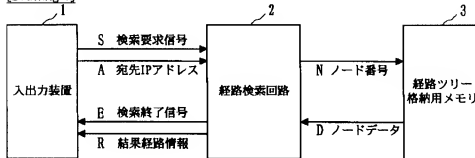
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

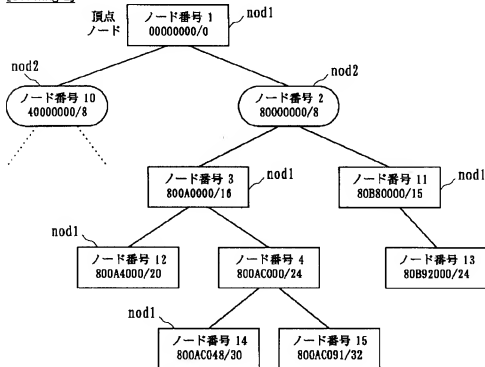
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

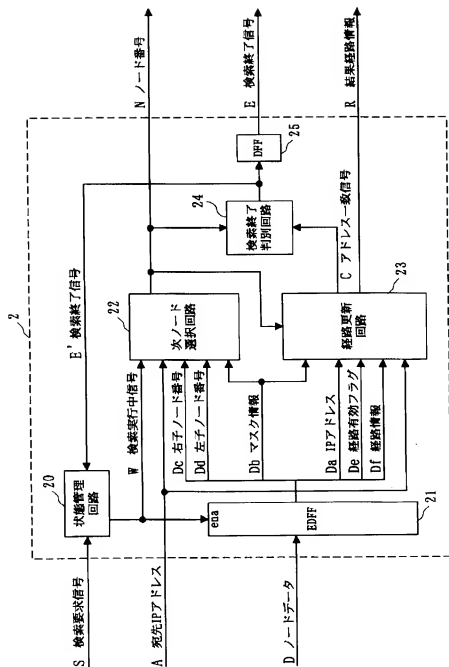


[Drawing 2]



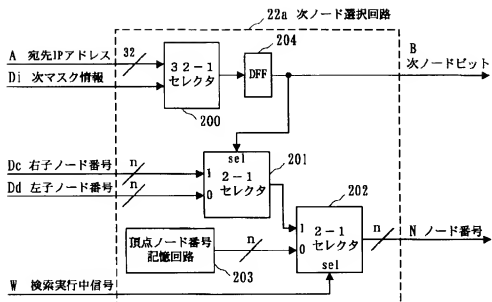
[Drawing 3]

[Drawing 4]



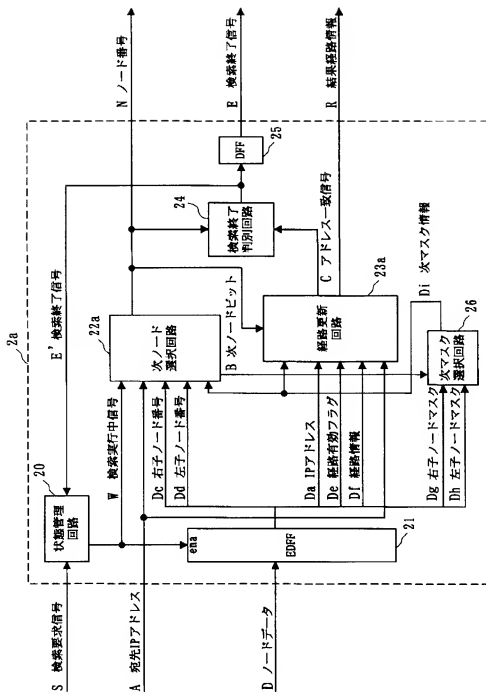


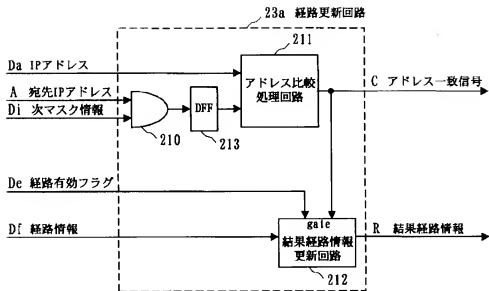




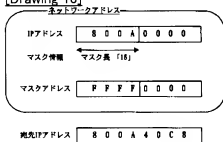
[Drawing 7]

[Drawing 9]





[Drawing 10]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191781

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl. <sup>4</sup>	識別記号	F I
H 0 4 L 12/44		H 0 4 L 11/00 3 4 0
12/46		H 0 4 Q 3/00
12/28		H 0 4 L 11/00 3 1 0 C
12/56		11/20 G
H 0 4 Q 3/00		1 0 2 D

審査請求 有 請求項の数10 ○ L (全 16 頁)

(21) 出願番号 特願平9-356774

(22) 出願日 平成 9 年(1997) 12月25日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目 7 番 1 号

(72) 発明者 山田 兼晋

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 西原 基夫

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 経路検索回路及び通信制御装置

(57) 【要約】

【課題】 経路解決に要する時間を短縮する。

【解決手段】 経路検索回路 2 は、専用のハードウェア回路により実現される。経路検索回路 2 は、入出力装置 1 より検索要求信号 S と受信パケット中の宛先 I P アドレス A が入力されると、経路ツリー格納用メモリ 3 の経路ツリーから 1 クロック毎に必要な経路情報を読み出して、宛先 I P アドレスに対応する経路情報の決定を行い、検索終了後、入出力装置 1 に検索終了信号 E と結果経路情報 R を出力する。



## 【特許請求の範囲】

【請求項1】 通信先を特定する宛先アドレスを基に次に送信すべき装置を決定する経路検索回路であって、各経路エントリが木構造をなしている経路テーブル内の次に読み出すべき経路エントリを選択する選択手段と、この選択手段によって選択された経路エントリが有する情報と前記宛先アドレスとに基づいて、次に送信すべき装置を決定するための情報である経路情報を求める経路情報決定手段とを有することを特徴とする経路検索回路。

【請求項2】 請求項1記載の経路検索回路において、前記経路エントリは、次に読み出す可能性のある2つの子エントリを読み出すための情報を有するものであり、前記選択手段は、現在読み出し中の経路エントリが有する、前記子エントリを読み出すための情報に基づいて、次に読み出すべき経路エントリを選択するものであることを特徴とする経路検索回路。

【請求項3】 請求項1記載の経路検索回路において、前記経路エントリは、このエントリに対応するネットワークアドレスの有効なビット長を示すマスク情報を有するものであり、

前記選択手段は、前記宛先アドレスとマスク情報に基づいて、次に読み出すべき経路エントリを選択するものであることを特徴とする経路検索回路。

【請求項4】 請求項1記載の経路検索回路において、前記経路情報決定手段は、前記経路テーブルから経路エントリが読み出される度に、該経路エントリが有する経路情報を確定後の経路情報として出力すべきかを判定するものであることを特徴とする経路検索回路。

【請求項5】 請求項4記載の経路検索回路において、前記経路エントリは、このエントリに対応するネットワークアドレスを規定するアドレス及びマスク情報を有するものであり、

前記経路情報決定手段は、現在読み出し中の経路エントリのネットワークアドレスと前記宛先アドレスとを比較することにより、該経路エントリが有する経路情報を確定後の経路情報として出力すべきかを判定するものであることを特徴とする経路検索回路。

【請求項6】 請求項1記載の経路検索回路において、前記経路エントリは、次に読み出す可能性のある2つの子エントリのネットワークアドレスを規定する2つのマスク情報を有するものであり、前記選択手段は、次の経路エントリを読み出す前に前記2つのマスク情報のうちから次に読み出すべき経路エントリのマスク情報を選択するものであることを特徴とする経路検索回路。

【請求項7】 請求項6記載の経路検索回路において、前記選択手段は、選択したマスク情報と前記宛先アドレスに基づいて、次に読み出すべき経路エントリを選択するための信号を次に読み出す可能性のある2つの子エ

ントリが読み出される前に生成するものであることを特徴とする経路検索回路。

【請求項8】 請求項1記載の経路検索回路において、次に読み出すべき経路エントリが経路テーブル内に存在しなくなった場合に、前記選択手段及び経路情報決定手段による検索処理を終了させる終了判定手段を有することを特徴とする経路検索回路。

【請求項9】 請求項8記載の経路検索回路において、前記経路エントリは、このエントリに対応するネットワークアドレスを規定するアドレス及びマスク情報を有するものであり、

前記終了判定手段は、次に読み出すべき経路エントリが経路テーブル内に存在しなくなった場合に加え、現在読み出し中の経路エントリのネットワークアドレスと前記宛先アドレスとが一致しない場合にも検索処理を終了させるものであることを特徴とする経路検索回路。

【請求項10】 通信先を特定する宛先アドレスを基に次に送信すべき装置を決定する通信制御装置であって、請求項1～9のいずれかに記載の経路検索回路と、

各経路エントリが木構造をなしている前記経路テーブルを格納する経路ツリー格納用メモリとを有することを特徴とする通信制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、受信パケットの送信先を特定する宛先アドレスを基にパケットを転送すべき装置を決定する経路検索回路、及びこの経路検索回路を用いたルータ等の通信制御装置に係り、特に、インターネットにおけるIPアドレスのよう、アドレスとマスク長により定まるネットワークアドレスの解決を必要とする経路検索回路及び通信制御装置に関するものである。

## 【0002】

【従来の技術】複数のネットワーク間、特に、LAN同士を接続して、パケットデータの転送を行う装置としては、国際標準化機構（ISO: International Organization for Standard）で定められた、開放型システム相互接続（OSI: Open Systems Interconnection）参照モデルにおける、データリンク層（特に、メディアアクセス副層）において接続を行う「ブリッジ」、さらにその上位層であるネットワーク層において接続を行う「ルータ」等の装置が知られている。

【0003】このブリッジ、ルータと称される通信制御装置では、予め装置側が備える経路テーブル情報に基づき、ネットワークを介して受信される受信パケットを、次にどの装置に転送すべきかを判定する必要がある。この判定処理は、一般的に、受信パケットデータのアドレスフィールドに格納されたアドレスに基づいて、受信データをどの装置に転送すべきかを判定するものである。

以下に、LANで使用されるアドレスについて簡単に説

明する。LAN上で使用されるアドレスとしては、イーサネット網におけるMACアドレスやATM網におけるATMアドレス等の装置に物理的に固有のアドレスや、前記装置が接続するネットワーク番号、ネットワーク上の前記装置の番号を示したネットワークアドレスなどがある。

【0004】LAN上を伝送される受信データには、ネットワーク層において、送信の宛先と送信元のインターネットワークアドレスを含むのが一般的である。インターネットワークアドレスとしては、例えばTCP/IPプロトコルにおけるIPアドレス(32ビット)が良く知られており、以下の説明ではIPアドレスを用いる。

【0005】ルータでは、受信したパケットの宛先IPアドレスを参照して、次にどのルータ、又は端末に対してパケットを送信すべきかを判定する。この判定処理は、受信したパケットの宛先IPアドレスがどのネットワークアドレスに属しているかの解決を行った後で、ネットワークアドレスに対応する送信先の物理アドレスを決定する。ネットワークアドレスは、IPアドレスとマスク長により定められる。IPアドレスは、IPアドレスの中で上位ビットから何ビット目までがネットワークアドレスとして意味を持つかを示す情報である。

【0006】図10のネットワークアドレスの例を示す。図10を参照すると、マスク長が「16」であることから、IPアドレス「800A0000」の中の上位16ビットがネットワークアドレスとして有効であることが分かる。マスク長が「16」である場合、上位16ビットが「1」で下位16ビットが「0」であるマスクアドレス「FFFF0000」が定義される。受信したパケットの宛先IPアドレスに対して上記マスクアドレスとの論理積をとった結果が、IPアドレス「800A0000」と一致する場合、該宛先IPアドレスはネットワークアドレスと一致することになる。

【0007】例えば、宛先IPアドレスが「800A40C8」の場合、この宛先IPアドレス「800A40C8」とマスクアドレス「FFFF0000」の論理積をとると、「800A0000」となる。これは、IPアドレス「800A0000」と一致している。よって、宛先IPアドレスは、ネットワークアドレスと一致している。

【0008】従来は、宛先IPアドレスとネットワークアドレスの対応はクラスという概念の元に単純に解決することができた。具体的には、IPアドレスの上位ビットが「0」のときは、クラスAに属し、マスク長が8ビットであり、IPアドレスの上位ビットが「10」のときは、クラスBに属し、マスク長が16ビットであり、IPアドレスが「100」のときはクラスCに属し、マスク長が24ビットである。

【0009】現在では、サブネットやCIDR(Class

ess Internet Domain Routing)の普及により、クラス

の概念が取り払われており、宛先IPアドレスからネットワークアドレスを単純に判定することができず、ネットワークアドレスの判定に処理時間を要するようになっていた。また、CIDRを採用するネットワークでは、ある宛先IPアドレスと一致する経路テーブル内のネットワークアドレスが複数存在する場合が起こりうる。その場合、最もマスク長の大きいネットワークアドレスの経路情報を採用しなければならない。従来、インターネットにおけるルータ装置において、宛先IPアドレスを基に次に送信すべき装置を決定する経路解決処理は、ソフトウェアによって実現されていた。

【0010】

【発明が解決しようとする課題】以上のように従来のブリッジ、ルータ等の通信制御装置では、多くの経路情報を有するネットワークのパケット転送において、経路情報の解決に非常に時間がかかるという問題点があった。特に、あるアドレスにマッチするネットワークアドレスが複数存在することの起こりうるネットワークのパケット転送においては、ネットワークアドレスを解決するアルゴリズムが複雑になるため、いっそう経路情報の決定に時間がかかる。そのため、パケット転送装置におけるパケット転送処理のスループットが劣化する。その理由は、多くの経路情報の中から宛先IPアドレスに対応する経路情報をソフトウェアで検索しなされたことにある。本発明は、上記課題を解決するためになされたもので、経路解決に要する時間を短縮し、CPUへの負荷を削減することができる経路検索回路を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、請求項1に記載のように、通信先を特定する宛先アドレス(宛先IPアドレスA)を基に次に送信すべき装置を決定する経路検索回路において、各経路エントリが本構造をなしている経路テーブル内の次に読み出すべき経路エントリを選択する選択手段(次ノード選択回路2、2.2a)と、この選択手段によって選択された経路エントリが有する情報(ノードデータD)と上記宛先アドレスとに基づいて、次に送信すべき装置を決定するための情報である経路情報(結果経路情報R)を求める経路情報決定手段(経路更新回路23、2.3a)とを有するものである。

このように、検索を高速化するために必要のない枝を除去した本構造で経路テーブルを構成し、この経路テーブルをハードウェアからなる選択手段及び経路情報決定手段で検索することにより、高速な経路検索が可能となる。各クロックサイクルで、次に読み出すべき経路情報を持つ経路エントリ(ノード)を選択することにより、1エントリ処理(1ノード処理)を1クロックサイクルで実現している。このため、検索にかかる処理時間が高速である。結果経路情報は、宛先アドレスと、経路エン

トリが有するアドレス及びマスク情報により規定されるネットワークアドレスとの比較結果が一致するときのみ更新される。よって、結果的にアドレスの比較結果が一致した経路情報の中で、一番最後に比較を行った経路情報が出力される。経路ツリーは、ツリーの下の側ほどマスク長が長くなるため、読み出される順にマスク長が長くなる。このため、宛先アドレスが複数のネットワークアドレスと一致する場合にも、最長のネットワークマスクを持つ経路情報を検索する。

【0012】また、請求項2に記載のように、上記経路エントリは、次に読み出す可能性のある2つの子エントリを読み出すための情報（右子ノード番号Dc、左子ノード番号Dd）を有するものであり、上記選択手段は、現在読み出し中の経路エントリが有する、上記子エントリを読み出すための情報に基づいて、次に読み出すべき経路エントリを選択するものである。また、請求項3に記載のように、上記経路エントリは、このエントリに対応するネットワークアドレスの有効なビット長を示すマスク情報（マスク情報Db）を有するものであり、上記選択手段は、上記宛先アドレスとマスク情報に基づいて、次に読み出すべき経路エントリを選択するものである。また、請求項4に記載のように、上記経路情報決定手段は、上記経路テーブルから経路エントリが読み出される度に、上記経路エントリが有する経路情報を確定後の経路情報（結果経路情報R）として出力すべき否かを判定するものである。また、請求項5に記載のように、上記経路エントリは、このエントリに対応するネットワークアドレスを規定するアドレス及びマスク情報を有するものであり、上記経路情報決定手段は、現在読み出し中の経路エントリのネットワークアドレスと上記宛先アドレスとを比較することにより、該経路エントリが有する経路情報を確定後の経路情報として出力すべき否かを判定するものである。

【0013】また、請求項6に記載のように、上記経路エントリは、次に読み出す可能性のある2つの子エントリのネットワークアドレスを規定する2つのマスク情報（右子ノードマスクDg、左子ノードマスクDh）を有するものであり、上記選択手段（次ノード選択回路22a）は、次の経路エントリを読み出す前に上記2つのマスク情報のうちから次に読み出すべき経路エントリのマスク情報を選択するものである。また、請求項7に記載のように、上記選択手段は、選択したマスク情報と上記宛先アドレスに基づいて、次に読み出すべき経路エントリを選択するための信号（セレクト信号）を次に読み出す可能性のある2つの子エントリが読み出される前に生成するものである。また、請求項8に記載のように、次に読み出すべき経路エントリが経路テーブル内に存在しなくなった場合に、上記選択手段及び経路情報決定手段による検索処理を終了させる終了判定手段（状態管理回路20、検索終了判別回路24）を有するものである。

また、請求項9に記載のように、上記経路エントリは、このエントリに対応するネットワークアドレスを規定するアドレス及びマスク情報を有するものであり、上記終了判定手段は、次に読み出すべき経路エントリが経路テーブル内に存在しなくなった場合に加え、現在読み出し中の経路エントリのネットワークアドレスと上記宛先アドレスとが一致しない場合にも検索処理を終了する。このため、次に読み出すべき経路エントリが経路テーブル内に存在しなくなった場合に加え、現在読み出し中の経路エントリのネットワークアドレスと上記宛先アドレスとが一致しない場合にも検索処理を終了する場合と比べ、処理する経路エントリ数が減少し、検索時間を高速化することができる。また、請求項10に記載のように、通信先を特定する宛先アドレスを基に次に送信すべき装置を決定する通信制御装置において、請求項1～9のいずれかに記載の経路検索回路と、各経路エントリが木構造をなしている上記経路テーブルを格納する経路ツリー格納用メモリとを有するものである。

#### 【0014】

【発明の実施の形態】実施の形態の1. 次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の第1の実施の形態を示す通信制御装置のブロック図である。本実施の形態の通信制御装置は、例えばブリッジあるいはルータであり、CPU等の入出力装置1と、経路検索処理を行う経路検索回路2と、経路情報データを二分木構造で格納している経路ツリー格納用メモリ3とから構成される。入出力装置1は、受信パケットを処理する装置であり、経路検索回路2に対して経路情報の検索を要求し、経路検索回路2から出力された結果経路情報Rを基に受信パケットの転送先を決定する。

【0015】経路検索回路2は、入出力装置1から検索要求信号Sと宛先1PアドレスAが入力されると、宛先1PアドレスAに対応する経路情報の検索を行い、検索終了後、検索終了信号Eと結果経路情報Rを入出力装置1へ出力する。経路検索回路2は、経路ツリー格納用メモリ3にノード番号Nを入力することによりノードデータDを取得し、宛先1PアドレスAとノードデータDとの比較を行う。

【0016】経路検索回路2としては、大規模集積回路（LSI: Large Scale Integrated Circuit）等の高速な論理回路の利用が好ましい。しかし、開発期間短縮や製造コスト削減を考慮して、プログラム可能型論理デバイス（PLD: Programmable Logic Device）を利用してもよい。

【0017】経路ツリー格納用メモリ3としては、高速なSRAM（Static Random Access Memory）が好ましいが、大容量の高速メモリブロックをLSI内部に実現



可能であれば、経路検索回路2と同一のLSI内部に設ける方がより好ましい。回路規模が小さくなるのに加えて、処理速度が大幅に向上するからである。表1に経路ツリー格納用メモリ3に格納された経路テーブルの例を\*

経路テーブル

ノード 番号N	ノードデータD					
	IP アドレスDa	マスク 情報Db	右子ノード 番号Dc	左子ノード 番号Dd	経路有効 フラグDe	経路情報 Df
1	00000000	0	2	10	有効	Df1
2	80000000	8	11	3	無効	無し
10	40000000	8	16	17	無効	無し
11	80B80000	15	13	無し	有効	Df11
3	800A0000	16	4	12	有効	Df3
4	800AC000	24	15	14	有効	Df4
12	800A4000	20	無し	無し	有効	Df12
13	80B92000	24	無し	無し	有効	Df13
14	800AC048	30	無し	無し	有効	Df14
15	800AC091	32	無し	無し	有効	Df15

\* 示す。

【0018】

【表1】

【0019】ノード番号Nは、メモリのアドレスに相当するものであり、ノード番号Nを入力することにより、各ノード（経路エントリ）の情報であるノードデータDを読み出すことができる。ノードデータDは、IPアドレスDa、マスク情報Db、右子ノード番号Dc、左子ノード番号Dd、経路有効フラグDe、経路情報Dfから構成される。

【0020】各ノードは、IPアドレスDaとマスク情報Dbによって規定されるネットワークアドレスに対応している。表1では、IPアドレスDaを16進表記で記述している。マスク情報Dbは、32ビットのIPアドレスDa中のネットワークアドレスの有効アドレスの長さ、すなわちマスクの長さを記述しており、0～32（ビット）の値をとる。

【0021】右子ノード番号Dcは、ノード番号Nのノードを親とする、該ノードの右側に接続される子ノードのノード番号である。左子ノード番号Ddは、ノード番号Nのノードを親とする、該ノードの左側に接続される子ノードのノード番号である。

【0022】経路有効フラグDeは、該ノードが経路情報を有するか否かを示しており、経路情報を有する場合は有効を表す値（例えば、「1」）となり、経路情報を有しない場合は無効を表す値（例えば、「0」）となる。経路情報Dfは、この情報を有するノードのネットワークアドレスと一致する宛先IPアドレスAを有する受信バケットを、どこに転送すべきかを判定するために必要な情報である。本実施の形態では、この経路情報Dfを送信先の装置に固有のアドレス等のデータとしてい

る。

【0023】図2は、表1の経路テーブルに対応する経路ツリーを示す図である。図2において、n o d 1は経路情報Dfを有するノードを示し、n o d 2は経路情報Dfを有しないノードを示している。各ノードのブロック内における上段の数値はノード番号N、下段の「/」前の数値はIPアドレスDa、「/」後の数値はマスク情報Dbを示している。

【0024】本実施の形態の経路ツリーは、構築対象のノード（経路エントリ）が有するIPアドレスDaをビット列と見なして、IPアドレスDa中の評価ビットが「0」であるものは親ノードの左下に子ノードとして配置し、同評価ビットが「1」であるものは親ノードの右下に子ノードとして配置した二分木を構築し、検索を高速化するために必要のない枝を除去したものと考えればよい。

【0025】各ノードは、ノードデータDとして、右子ノード番号Dcと左子ノード番号Ddの2つの子ノード番号を有することにより、子ノードとの接続関係が規定されている。上記評価ビットは、マスク情報Dbによって決定される。具体的には、マスク情報Dbが表すマスク長がmであるとき、IPアドレスDaの上位ビットから数えてm+1番目のビットが評価ビットとなる。

【0026】また、評価ビットは、経路ツリーを下方向に下りにいくに従い、IPアドレスDaの上位ビットから下位ビットへと変化する。したがって、マスク情報Dbの値は、経路ツリーを下方向に下りにいくに従って小さくなる。なお、検索を高速化するために必要のない枝

を除去したとは、評価ビットがIPアドレスDaの1番目のビット、2番目のビット、3番目のビット・・・と連続的に変化するのではなく、1番目のビット、9番目のビット、16番目のビット・・・というように不連続に変化することを意味している。

【0027】次に、図2の経路ツリーの具体的な構築方法を説明する。まず、ノード番号「1」の頂点ノードが有するマスク情報Dbは「0」である。よって、最初の評価ビットは、注目ノードが有するIPアドレスDaの1番目のビットとなる。頂点ノードの次にマスク情報Dbの値が小さいノードとしては、ノード番号「2」のノードとノード番号「10」のノードがあるので、これらが注目ノードとなる。

【0028】ノード番号「2」のノードが有するIPアドレスDaは「80000000」である。このIPアドレスDaの評価ビットの値は「1」なので、ノード番号「2」のノードは、親ノードである頂点ノードの右下に配置される。一方、ノード番号「10」のノードが有するIPアドレスDaは「40000000」である。このIPアドレスDaの評価ビットの値は「0」なので、ノード番号「10」のノードは、親ノードである頂点ノードの左下に配置される。

【0029】続いて、ノード番号「2」のノードが有するマスク情報Dbは「8」である。よって、次の評価ビットは、注目ノードが有するIPアドレスDaの9番目のビットとなる。次にマスク情報Dbの値が小さいノードとしては、ノード番号「11」のノードとノード番号「3」のノードがあるので、これらが注目ノードとなる。

【0030】ノード番号「11」のノードが有するIPアドレスDaは「80B80000」である。このIPアドレスDaの評価ビットの値は「1」なので、ノード番号「11」のノードは、親ノードであるノード番号「2」のノードの右下に配置される。一方、ノード番号「3」のノードが有するIPアドレスDaは「80A00000」である。このIPアドレスDaの評価ビットの値は「0」なので、ノード番号「3」のノードは、親ノードであるノード番号「2」のノードの左下に配置される。

【0031】以下、同様にして図2の経路ツリーを構築することができる。そして、構築した経路ツリーを基に表1の経路テーブルを作成することができる。実際に経路検索回路2を使用する場合には、経路ツリーの構築、更新処理を行う必要がある。経路ツリーの構築を行うには、経路ツリー構築用の専用ハードウェア回路を用いてもよいし、CPUによるソフトウェアを用いてもよい。

【0032】図3は経路検索回路2の構成例を示すブロック図である。経路検索回路2は、状態管理回路20、イネーブル付きフリップフロップ(EDFF)21、次ノード選択回路22、経路更新回路23、検索終了判別

回路24、フリップフロップ(DDF)25から構成される。

【0033】状態管理回路20は、検索要求信号Sと検索終了信号E'の2つの入力信号に応じて、検索処理が実行中か否かを表す検索実行中信号Wを生成する。この検索実行中信号Wは、検索要求信号Sを受信すると、検索処理の実行中を表すレベル(本実施の形態では「H」レベル)となり、検索終了信号E'を受信すると、検索処理の終了を表すレベル(本実施の形態では「L」レベル)となる。

【0034】EDFF21には、経路ツリー格納用メモリ3から出力されるノードデータDが入力される。前述のように、ノードデータDは、IPアドレスDa、マスク情報Db、右子ノード番号Dc、左子ノード番号Dd、経路有効フラグDe、経路情報Dfから構成される。

【0035】そして、EDFF21は、クロック信号の立ち上がり同期してノードデータDを出力する。また、EDFF21のイネーブル入力端子enaには検索実行中信号Wが入力されており、EDFF21は、検索実行中信号Wが検索処理の実行中を表すレベルであるときのみ、その出力を更新する。

【0036】次ノード選択回路22は、入出力装置1から出力された宛先IPアドレスAと経路ツリー格納用メモリ3から出力されたノードデータD中のマスク情報Dbに応じて、右子ノード番号Dc、左子ノード番号Ddのどちらかを選択し、選択した番号をノード番号Nとして経路ツリー格納用メモリ3に出力する。

【0037】経路更新回路23は、宛先IPアドレスAと、IPアドレスDa及びマスク情報Dbから規定されるネットワークアドレスとの比較を行い、比較結果を表すアドレス一致信号Cを出力する。このアドレス一致信号Cは、アドレス比較結果が一致した場合、一致を表すレベル(本実施の形態では「H」レベル)となり、アドレス比較結果が一致しない場合、不一致を表すレベル(本実施の形態では「L」レベル)となる。

【0038】そして、経路更新回路23は、アドレス比較結果が一致し、かつ経路有効フラグDeが有効を表す値である場合、その出力である結果経路情報RをノードデータD中の経路情報Dfに更新する。また、経路更新回路23は、アドレス比較結果が不一致であるか、または経路有効フラグDeが無効を表す値である場合、結果経路情報Rの値を保持する。

【0039】検索終了判別回路24は、次ノード選択回路22から出力されたノード番号Nが終了条件を満たすアドレスである場合、またはアドレス一致信号Cが不一致を表すレベルとなった場合、「H」レベルの検索終了信号E'を生成する。DDF25は、この検索終了信号E'をクロック信号の立ち上がり同期した検索終了信号Eとして入出力装置1に出力する。

【0040】図4は次ノード選択回路22の構成例を示すブロック図である。次ノード選択回路22は、32-1セレクタ200、2-1セレクタ201、2-1セレクタ202、頂点ノード番号記憶回路203から構成されている。32-1セレクタ200は、32ビットの宛先IPアドレスAの中からマスク情報Dbを基に1ビットを抽出して出力する。具体的には、マスク情報Dbが表すマスク長がmであるとき、宛先IPアドレスAの上位ビットから数えてm+1番目のビットを抽出する。

【0041】32-1セレクタ200の出力はセレクト信号として2-1セレクタ201の制御端子selに入力される。2-1セレクタ201は、セレクト信号が「1」の場合、ノードデータD中の右ノード番号Dcを選択して出力し、セレクト信号が「0」の場合、ノードデータD中の左ノード番号Ddを選択して出力する。

【0042】2-1セレクタ202の制御端子selには、セレクト信号として検索実行中信号Wが入力される。2-1セレクタ202は、検索実行中信号Wが検索処理の実行中を表すレベルである場合、2-1セレクタ201から出力されたノード番号を選択して出力し、検索実行中でない場合、頂点ノード番号記憶回路203に記憶された頂点ノードのノード番号を選択して出力する。

【0043】図5は経路更新回路23の構成例を示すブロック図である。経路更新回路23は、マスク処理回路210、アドレス比較処理回路211、結果経路情報更新回路212から構成されている。マスク処理回路210は、宛先IPアドレスAとノードデータD中のマスク情報Dbにより、宛先IPアドレスAのうち、該ノードのネットワークアドレスの有効ビットに対応する部分をマスク処理して出力する。

【0044】具体的には、マスク情報Dbが表すマスク長がmであるとき、上位mビットが「1」で、下位32-mビットが「0」であるマスクアドレスを作成し、このマスクアドレスと宛先IPアドレスAの論理積をとることにより、ネットワークアドレスの有効ビットに対応する部分以外は「0」となるアドレスを出力する。

【0045】アドレス比較処理回路211は、IPアドレスDaとマスク処理回路210の出力とを比較し、比較結果を表すアドレス一致信号Cを出力する。このアドレス一致信号Cは、アドレス比較結果が「L」レベルの場合、一致を表すレベル（本実施の形態では「H」レベル）となり、アドレス比較結果が一致しない場合、不一致を表すレベル（本実施の形態では「L」レベル）となる。

【0046】結果経路情報更新回路212は、アドレス一致信号Cが一致を表すレベルで、かつ経路有効フラグDgが有効を表す値である場合、その出力である結果経路情報Rをクロック信号に同期して経路情報Dfに更新する。また、結果経路情報更新回路212は、アドレス

一致信号Cが不一致を表すレベルであるか、または経路有効フラグDgが無効を表す値である場合、結果経路情報Rの値を保持する。

【0047】次に、図1の経路検索回路2の動作を説明する。経路ツリー格納用メモリ3には、図2の経路ツリーに対応する表1の経路テーブルが格納されているものと仮定する。また、宛先IPアドレスAとして「800A9011」を有するパケットを受信した場合を例にとって説明を行う。

【0048】パケットを受信すると、入出力装置1から検索要求信号Sと共に解決したい宛先IPアドレスAが経路検索回路2へ入力される。経路検索回路2では、経路ツリー格納用メモリ3から比較対象ノードの情報を読み出しながら宛先IPアドレスAに対応する経路情報を検索し、検索終了後、検索終了信号Eと共に結果経路情報Rを入出力装置1に出力する。

【0049】経路検索回路2の詳細動作を図6のタイミングチャートにより説明する。検索実行中信号Wが検索処理の実行中でないことを表す「L」レベルである場合、次ノード選択回路22内の2-1セレクタ202は、頂点ノード番号記憶回路203の出力を選択して出力するのであるから、次ノード選択回路22から出力されるノード番号Nの初期値は、図6(d)に示すように、経路ツリーの頂点ノードのノード番号「1」となっている。

【0050】これに応じて経路ツリー格納用メモリ3から出力されるノードデータDの初期値はノード番号「1」の頂点ノードのノードデータD1である（図6(e)）。入出力装置1から「H」レベルの検索要求信号Sを受信すると、状態管理回路20は、図6(c)に示すように、検索実行中信号Wを「H」レベルにする。検索実行中信号Wが「H」レベルになると、EDFF21は、クロック信号の立ち上がりで同期して、その出力を入力されたノードデータDに更新する。

【0051】よって、1番目のノード処理を開始するクロック信号の立ち上がりで同期して、EDFF21は、頂点ノードのノードデータD1を出力する（図6の時刻t1）。頂点ノードのノードデータD1は、具体的には、IPアドレスDaが「00000000」、マスク情報Dbが「0」、右ノード番号Dcが「2」、左ノード番号Ddが「10」、経路有効フラグDgが「1」（有効）、経路情報Dfが「Df1」である。

【0052】次ノード選択回路22は、宛先IPアドレスAとノードデータD中のマスク情報Dbを基に、左ノード番号Dcと左ノード番号Ddのどちらを次に読み出すべきかを選択する（つまり、右ノードと左ノードのどちらを次に読み出すべきかを選択する）。

【0053】具体的には、マスク情報Dbが表すマスク長がmであるとき、宛先IPアドレスAの上位ビットから数えてm+1番目のビットが「1」である場合には、

右子ノード番号Dcを選択して出力し、同ビットが「0」である場合には、左子ノード番号Ddを選択して出力する。

【0054】前述のように、1番目のノード処理では、マスク情報Dbは「0」である。宛先IPアドレスA「800A9011」の上位から1(0+1)ビット目は、「1」であるので、次に読み出すべきノード番号は右子ノード番号Dcとなる。これにより、図6(d)に示すように、ノード番号Nとして、右子ノード番号Dcの値「2」が次ノード選択回路22から出力される。

【0055】経路ツリー格納用メモリ3は、ノード番号「2」が入力されると、図6(e)に示すように、ノード番号「2」のノードのノードデータD2を出力する。経路ツリー格納用メモリ3から出力されたノードデータD2は、次のクロック信号の立ち上がり(図6の時刻t2)でEDFF21に取り込まれる。これにより、1番目のノード処理は終了し、2番目のノード処理が開始される。

【0056】ノードデータD2は、IPアドレスDaが「80000000」、マスク情報Dbが「8」、右子ノード番号Dcが「11」、左子ノード番号Ddが「3」、経路有効フラグDeが「0」(無効)、経路情報Dfが無効である。2番目のノード処理においても同様に、次ノード選択回路22は、右子ノード番号Dcと左子ノード番号Ddのどちらを次に読み出すべきかを選択する。

【0057】2番目のノード処理では、マスク情報Dbは「8」である。宛先IPアドレスA「800A9011」の上位から9(8+1)ビット目は、「0」であるので、次に読み出すべきノード番号は左子ノード番号Ddとなる。これにより、図6(d)に示すように、ノード番号Nとして、左子ノード番号Ddの値「3」が次ノード選択回路22から出力される。

【0058】経路ツリー格納用メモリ3は、ノード番号「3」が入力されると、図6(e)に示すように、ノード番号「3」のノードのノードデータD3を出力する。以上のように、各クロックサイクル毎に次のクロックサイクルで処理を行うノードのノード番号Nを出力し、経路ツリー格納用メモリ3からノードデータDを読み出していく。

【0059】次に、経路検索回路2内の経路更新回路23の動作を説明する。マスク処理回路210により、宛先IPアドレスAをマスク情報Dbでマスクしたアドレスと、ノードデータD中のIPアドレスDaとを、アドレス比較処理回路211で比較する。アドレス比較処理回路211は、アドレス比較結果が一致した場合、アドレス一致信号Cを「H」レベルにする。

【0060】結果経路情報更新回路212は、アドレス一致信号Cが一致を表す「H」レベルで、かつ経路有効フラグDeが有効を表す値である場合、その出力である

結果経路情報Rをクロック信号に同期して経路情報Dfに更新する。前述の1番目のノード処理では、マスク情報Dbは「0」である。よって、宛先IPアドレスAがどのような値であっても、マスク処理回路210の出力は、「00000000」となり、IPアドレスDa「00000000」と一致する。その結果、1番目のノード処理において、アドレス一致信号Cは、一致を表す「H」レベルとなる(図6(1))。

【0061】結果経路情報更新回路212は、アドレス一致信号Cが一致を表す「H」レベルで、かつ経路有効フラグDeが有効を表す値「1」なので、次のクロック信号の立ち上がり(図6の時刻t2)において結果経路情報Rを経路情報Df1に更新する(図6(n))。

【0062】2番目のノード処理では、マスク情報Dbは「8」である。よって、マスク処理回路210の出力は、宛先IPアドレスA「800A9011」の上位8ビットが取り出されて「80000000」となり、IPアドレスDa「80000000」と一致する。その結果、2番目のノード処理において、アドレス一致信号Cは、一致を表す「H」レベルとなる。ただし、このときの経路有効フラグDeは無効を表す値「0」なので、次のクロック信号の立ち上がり(図6の時刻t3)において結果経路情報Rは更新されず、値が保持される(図6(n))。

【0063】3番目のノード処理では、マスク情報Dbは「16」である。よって、マスク処理回路210の出力は、宛先IPアドレスA「800A9011」の上位16ビットが取り出されて「800A0000」となり、IPアドレスDa「800A0000」と一致する。その結果、3番目のノード処理において、アドレス一致信号Cは、一致を表す「H」レベルとなる。

【0064】結果経路情報更新回路212は、アドレス一致信号Cが一致を表す「H」レベルで、かつ経路有効フラグDeが有効を表す値「1」なので、次のクロック信号の立ち上がり(図6の時刻t4)において結果経路情報Rを経路情報Df3に更新する(図6(n))。

【0065】4番目のノード処理では、マスク情報Dbは「24」である。よって、マスク処理回路210の出力は、宛先IPアドレスA「800A9011」の上位24ビットが取り出されて「800A0000」となり、IPアドレスDa「800A0000」と一致しない。その結果、4番目のノード処理において、アドレス一致信号Cは、図6(1)に示すように、不一致を表す「L」レベルとなる。アドレス一致信号Cが不一致を表す「L」レベルであるため、次のクロック信号の立ち上がり(図6の時刻t5)において結果経路情報Rは更新されず、値が保持される(図6(n))。

【0066】次に、検索終了判別回路24の動作を説明する。検索終了判別回路24は、次ノード選択回路22から出力されたノード番号Nが終了条件を満たすアドレ

スである場合、またはアドレス一致信号Cが不一致を表すレベルとなった場合には、「H」レベルの検索終了信号E'を生成する。ノード番号Nが終了条件を満たすアドレスというのは、具体的には次に読み出すべきアドレスが無い場合である。

【0067】図6を参照すると、4番目のノード処理において、アドレス一致信号Cが不一致を表す「L」レベルとなるので、検索終了信号E'が「H」レベルとなる。状態管理回路20は、「H」レベルの検索終了信号E'を受信すると、図6(c)に示すように、検索実行中信号Wを「L」レベルにする。

【0068】検索実行中信号Wが「L」となったことにより、EDFF21は出力の更新を停止する。その結果、経路更新回路23から出力される結果経路情報Rは、その値Df3が保持される。そして、検索終了信号E'が「H」となったことにより、次のクロック信号の立ち上がり(図6の時刻t5)において、この検索終了信号E'が検索終了信号EとしてDFF25から出力される。

【0069】入出力装置1は、「H」レベルの検索終了信号Eを受信すると、このときの結果経路情報Rを最終的な結果経路情報として受け取る。そして、入出力装置1は、この結果経路情報Rを基に受信パケットの転送先を判定する。

【0070】実施の形態の2。図7は本発明の第2の実施の形態を示す経路検索回路のブロック図である。本実施の形態においても、通信制御装置としての構成は図1と同様であり、図1の経路検索回路2の代わりに、経路検索回路2aを用いたものとなる。この経路検索回路2aは、状態管理回路20、EDFF21、次ノード選択回路22a、経路更新回路23a、検索終了判別回路24、DFF25、次マスク選択回路26から構成され、実施の形態の1の経路検索回路2に対し、EDFF21の出力先として次マスク選択回路26が新たに設けられている。

【0071】次マスク選択回路26には、次ノードビットB、右子ノードマスクDg、左子ノードマスクDhが入力されている。次ノードビットBは、次に読み出すべきノードが右子ノードであるか左子ノードであるかを表す信号であり、次ノードビットBが「0」のときは、次のノードは左子ノードであり、「1」のときは、次のノードは右子ノードであることを示している。

【0072】右子ノードマスクDgと左子ノードマスクDhは、ノードデータDの構成要素として経路テーブル中の各ノードデータDに新たに追加された情報である。右子ノードマスクDgは、現在読み出しているノードの右側の子ノードが持つマスク情報であり、左子ノードマスクDhは、現在読み出しているノードの左側の子ノードが持つマスク情報である。

【0073】次マスク選択回路26は、次ノードビット

Bに応じて、右子ノードマスクDgと左子ノードマスクDhのどちらか一方を選択し、これを次マスク情報9iとして、次ノード選択回路22a、経路更新回路23aに出力する。つまり、次マスク選択回路26は、次ノードビットBが「0」の場合、左子ノードマスクDhを選択して出力し、次ノードビットBが「1」の場合、右子ノードマスクDgを選択して出力する。

【0074】図8は本実施の形態における次ノード選択回路22aの構成例を示すブロック図である。次ノード選択回路22aは、32-1セクタ200、2-1セクタ201、2-1セクタ202、頂点ノード番号記憶回路203、フリップフロップ(DFF)204から構成され、実施の形態の1の次ノード選択回路22に対し、32-1セクタ200と2-1セクタ201の間に、DFF204が新たに設けられている。

【0075】32-1セクタ200に入力されるマスク情報が次マスク情報9iであり、これは次のクロックサイクルで行うノード処理において必要となる情報であるので、DFF204で32-1セクタ200の出力を1クロック遅らせることにより同期をとっている。次ノードビットBは、DFF204の出力であり、2-1セクタ201に入力されると共に、次マスク選択回路26に対しても出力される。

【0076】なお、検索実行中信号Wが検索処理の実行中でないことを表す「L」レベルである場合、DFF204は、宛先IPアドレスAの上位ビットから数えて0番目、すなわち最上位ビットを次ノードビットBの初期値として出力する。その他の動作は実施の形態の1と同様である。

【0077】このような構成により、本実施の形態では、32-1セクタ200でのビット選択処理を一つ前のクロックフェイズで実行できるため、ノード番号Nを出力するのに必要な処理時間を削減することができる。

【0078】図9は本実施の形態における経路更新回路23aの構成例を示すブロック図である。経路更新回路23aは、マスク処理回路210、アドレス比較処理回路211、結果経路情報更新回路212、フリップフロップ(DFF)213から構成され、実施の形態の1の経路更新回路23に対し、マスク処理回路210とアドレス比較処理回路211の間にDFF213が新たに設けられている。

【0079】マスク処理回路210へ入力されるマスク情報が次マスク情報9iであり、これは次のクロックサイクルで行うノード処理において必要となる情報であるので、DFF213でマスク処理回路210の出力を1クロック遅らせることにより同期をとっている。このように構成により、本実施の形態では、マスク処理回路210でのマスク処理を一つ前のクロックサイクルで実行できるため、アドレス一致信号C及び結果経路情報Rを

出力するのに必要な処理時間を削減することができる。

【0080】以上のように、次マスク選択回路26から、次のクロックサイクルにおいて読み出す予定のノードデータDのマスク情報Dbである次マスク情報9iを先に出力し、マスク情報Dbに関連する処理を1クロックサイクル早く実行することにより、次ノード選択回路22a、経路更新回路23aでの1クロックサイクルで必要となる処理時間を削減し、本経路検索回路2aを動作させるためのクロック周波数を高周波にすることが可能となる。

【0081】クロック周波数を高周波とすることで、経路検索回路2aの検索時間を高速化することが可能となる。本実施の形態では、実施の形態1の効果に加えて、さらに経路検索回路2aの検索時間を高速化できるという効果も有する。

【0082】実施の形態の3、実施の形態の1、2では、経路テーブル中の経路情報Dfを送信先の装置に固有のアドレスとしている。この経路情報Dfを受信パケットを送信するために必要な情報へのポインタ（例えば、ノード番号と同一の値）とすれば、ノードデータDの構成要素として経路情報Df（アドレス）を持つ必要がなくなるので、経路ツリー格納用メモリ3の容量を削減することができる。ただし、この場合には、上記ポインタから受信パケットを転送するのに必要な経路情報を取得する手段を入出力装置1に設ける必要がある。

【0083】なお、以上の実施の形態では、宛先IPアドレスによる経路情報検索を例として説明したが、これに限るものではなく、通信先を特定するアドレスを基に次に送信すべき装置を決定する経路検索処理であれば、本発明を適用可能である。また、以上の実施の形態では、経路ツリー格納用メモリを経路検索回路の外部に設けたが、経路検索回路の内部に設けてもよいことは言うまでもない。

【0084】

【発明の効果】本発明によれば、アドレス解決処理を高速に実行することができ、CPUに対して負荷がかからない処理を実現することができる。その結果、通信制御装置における処理のスループットを向上させることができる。その理由は、アドレス解決処理を専用のハードウェアからなる選択手段及び経路情報決定手段で行い、各エントリ処理を1クロックサイクルで実行するからである。また、経路検索回路の規模を小さくすることができ、経路テーブルのエントリ数を増加しても、経路検索回路の規模が大きくなることがない。その理由は、経路検索回路では、常に1つの経路エントリのみを読み出

し、比較処理を行っているからであり、経路テーブルのエントリ数を増加させるためには、経路ツリー格納用メモリの容量を大きくするだけよいからである。また、宛先アドレスが経路テーブル内の複数の経路エントリのネットワークアドレスと一致する場合でも、最長のネットワークマスクを持つネットワークアドレスに対応する経路情報を検索するので、IPアドレスのような複数のネットワークアドレスと一致する可能性のあるネットワークに対してでも適用することができる。その理由は、次の経路エントリを決定する処理と並列に、アドレス比較による経路情報更新処理を行っており、アドレス比較が一致した時は、結果経路情報を更新し、アドレス比較が不一致である時は、結果経路情報を保持するからである。そして、経路ツリーは、読み出される経路エントリの順にマスク長が長くなる。よって、最後にアドレス比較結果が一致した経路エントリの経路情報を保持することで、最長のネットワークマスクを持つネットワークアドレスに対応する経路情報を検索することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態を示す通信制御装置のブロック図である。

【図2】 経路ツリー格納用メモリに格納された経路テーブルに対応する経路ツリーを示す図である。

【図3】 図1の経路検索回路の構成例を示すブロック図である。

【図4】 図3の次ノード選択回路の構成例を示すブロック図である。

【図5】 図3の経路更新回路の構成例を示すブロック図である。

【図6】 図1の経路検索回路の動作を説明するためのタイミングチャート図である。

【図7】 本発明の第2の実施の形態を示す経路検索回路のブロック図である。

【図8】 図7の次ノード選択回路の構成例を示すブロック図である。

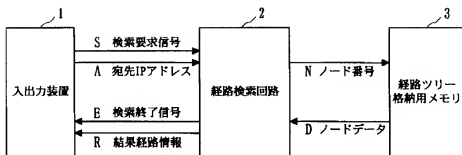
【図9】 図7の経路更新回路の構成例を示すブロック図である。

【図10】 ネットワークアドレスの例を示す図である。

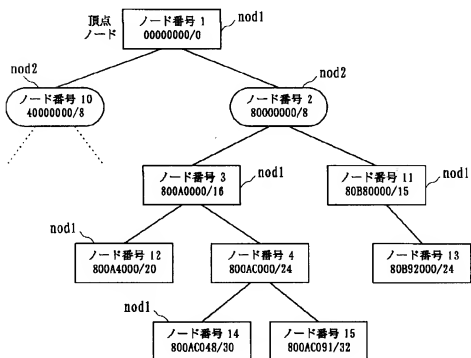
【符号の説明】

1…入出力装置、2、2a…経路検索回路、3…経路ツリー格納用メモリ、20…状態管理回路、21…イネーブル付きフリップフロップ、22、22a…次ノード選択回路、23、23a…経路更新回路、24…検索終了判別回路、25…フリップフロップ、26…次マスク選択回路。

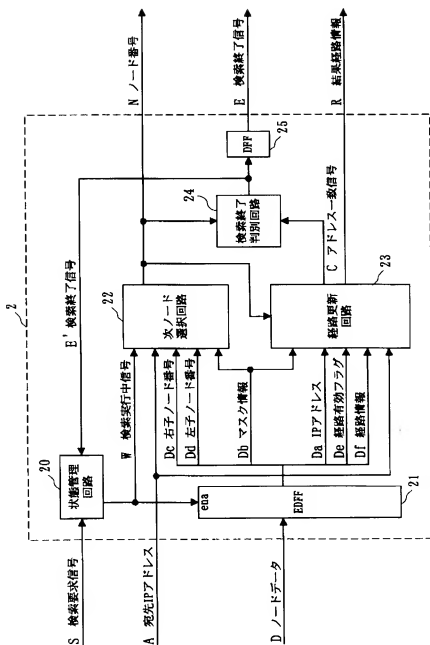
【図1】



【図2】

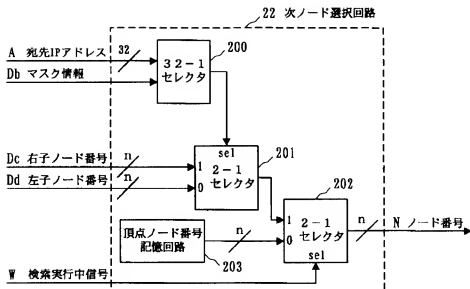


【図3】

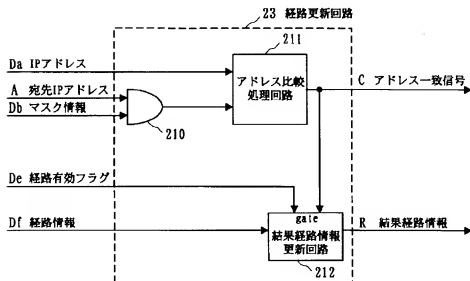




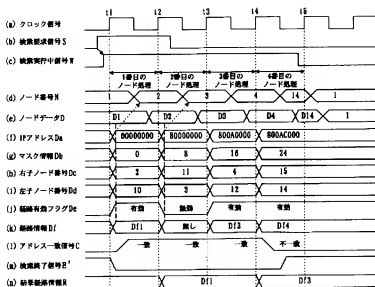
【図4】



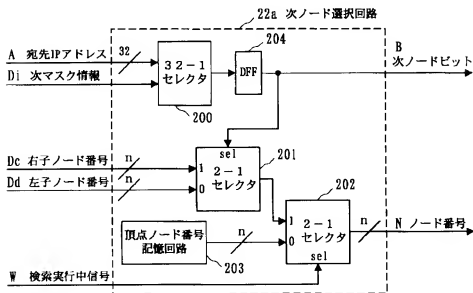
【図5】



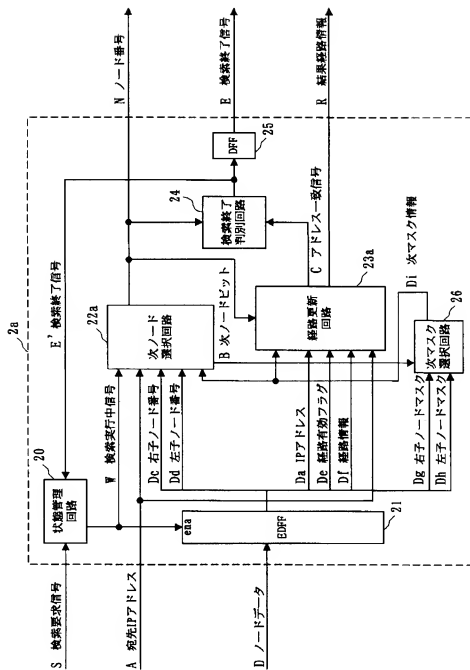
【図6】



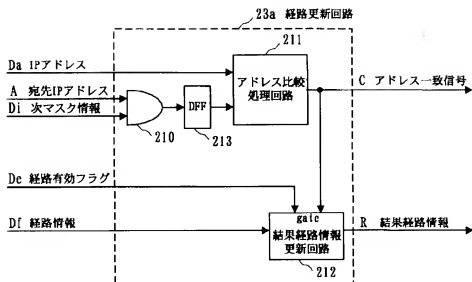
【図8】



【図7】



【図9】



【図10】

